

Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 03F014-PCT	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/005334	International filing date (day/month/year) 25 April 2003 (25.04.2003)	Priority date (day/month/year) 25 April 2002 (25.04.2002)
International Patent Classification (IPC) or national classification and IPC H01L 29/78, H01L 21/336		
Applicant SANKEN ELECTRIC CO., LTD.		

1.	This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2.	This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.  <input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).  These annexes consist of a total of <u>5</u> sheets.
3.	This report contains indications relating to the following items:  I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input type="checkbox"/> Certain defects in the international application VIII <input type="checkbox"/> Certain observations on the international application

Date of submission of the demand 22 July 2003 (22.07.2003)	Date of completion of this report 27 January 2004 (27.01.2004)
Name and mailing address of the IPEA/JP  Facsimile No.	Authorized officer  Telephone No.

Form PCT/IPEA/409 (cover sheet) (July 1998)

BEST AVAILABLE COPY

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP2003/005334

## I. Basis of the report

## 1. With regard to the elements of the international application:\*

- ☐ the international application as originally filed
- ☒ the description:  
pages 1-12, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
pages 2, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages 1, 3-8, filed with the letter of 20 October 2003 (20.10.2003)
- ☒ the drawings:  
pages 1-3, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

## 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

## 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP03/05334

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-8	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-8	NO
Industrial applicability (IA)	Claims	1-8	YES
	Claims		NO

### 2. Citations and explanations

Document 1: US, 5512769, A (Matsushita Electronics Corp.), 30 April, 1996 (30.04.96), column 4, line 20 to column 11, line 56, Figs. 1-6

Document 4: US, 48663495, A (International Rectifier Corp.), 12 September, 1989 (12.09.89), column 3, line 38 to column 11, line 4, Figs. 1-13

Document 5: US, 5686754, A (International Rectifier Corp.), 11 November, 1997 (11.11.97), column 2, line 44 to column 4, line 63, Figs. 1-3

Document 6: US, 5801431, A (International Rectifier Corp.), 1 September, 1998 (01.09.98), column 2, line 53 to column 6, line 43, Figs. 1-6

#### 1. Claims 1-7

Document 1 (Fig. 6 and its explanation portion) describes a semiconductor element comprising (A) a first conduction type first semiconductor region (21), (B) a second conduction type second semiconductor region (23) formed on the said first semiconductor region (21), (C) a first conduction type third semiconductor region (27 and 32) formed in a predetermined surface area of the said second semiconductor region (23), (D) a first conduction type fourth semiconductor region (34) having an impurity concentration higher than that of the said third semiconductor region (27 and 32), formed in a surface area of the said third semiconductor region (27 and 32), and (E) a fifth semiconductor region (16) formed in a surface area of the said second semiconductor region (23), as if to surround the said third semiconductor region (27 and 32) through the said second semiconductor region (23), wherein (a) the said third semiconductor region (27 and 32) has a central portion (27) surrounding the said fourth semiconductor region (34), and a circumferential portion (32) surrounding the said central portion (27) adjacently to it; the said central portion (27) of the said third semiconductor region (27 and 32) is formed to be deeper than the said circumferential portion (32) in the depth from the surface of the said second semiconductor region (23); and the portion of the said second semiconductor region (23) disposed directly under the said central portion (27) is thinner in thickness than the portion of the said second semiconductor region (23) disposed directly under the said circumferential portion (32).

Furthermore, forming a resurf structure between areas of a high potential difference in a high withstand voltage semiconductor device is a well-known technique, for example, as described in document 6 (column 1, lines 18-53). So, it is considered to be a matter obvious to a person skilled in the art from the well-known technique, for example, as can be seen in document 6, to form a resurf structure among the said first semiconductor region (21), the said second semiconductor region (23) and the said third semiconductor region (27 and 32) involving a high potential difference, in the invention described in document 1 (Fig. 6 and its explanation portion).

Moreover, though not stated in document 1, it is considered to be a matter employed as a matter of course, to form a drain electrode on the said fourth semiconductor region (34) and a source electrode on the said fifth semiconductor region (16) as in the subject matter of claim 2, in the invention described in document 1 (Fig. 6 and its explanation portion).

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

PCT/JP03/05334

**Supplemental Box**

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of : V.2

Moreover, it is considered to be a matter obvious to a person skilled in the art from the well-known technique, for example, as can be seen in documents 4-6, that the constitution as in the subject matters of claims 3-6 can be employed in the invention described in document 1 (Fig. 6 and its explanation portion).

Moreover, though not stated in document 1, it is evident from its constitution, that the amount of electric charge of the said second semiconductor region (23) in the portion directly under the said central portion (27) is smaller than the amount of electric charge of the said second semiconductor region (23) in the portion directly under the said circumferential portion (32) as in the subject matter of claim 7, in the invention described in document 1 (Fig. 6 and its explanation portion).

**2. Claim 8**

Document 1 (Fig. 6 and its explanation portion) describes a method for producing a semiconductor element, comprising (A) the step of forming a second conduction type second semiconductor region (23) on a semiconductor substrate constituting a first conduction type first semiconductor region (21), (B) the step of forming a first conduction type third semiconductor region (27 and 32) having a central portion (27) and a circumferential portion (32) respectively different in depth, in a surface area of the said second semiconductor region (23), wherein the said central portion (27) is formed in a predetermined surface area of the said second semiconductor region (23) while the said circumferential portion (32) is formed in a surface area of the said second semiconductor region (23), in contact with the said central portion (27), to surround the said central portion at a depth more shallow than the depth of the said central portion (27), and (C) the step of forming a first conduction type fourth semiconductor region (34) having an impurity concentration higher than that of the said third semiconductor region (27 and 32), in a surface area of the central portion (27) of the said third semiconductor region (27 and 32).

Furthermore, forming a resurf structure between areas of a high potential difference in a high withstand voltage semiconductor device is a well-known technique, for example, as described in document 6 (column 1, lines 18-53). So, it is considered to be a matter obvious to a person skilled in the art from the well-known technique, for example, as can be seen in document 6, to form a resurf structure among the said first semiconductor region (21), the said second semiconductor region (23) and the said third semiconductor region (27 and 32) involving a high potential difference, in the invention described in document 1 (Fig. 6 and its explanation portion).

## 特 許 協 力 条 約

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT36条及びPCT規則70]

REC'D 12 FEB 2004

WIPO PCT

出願人又は代理人 の書類記号 03F014-PCT	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JP03/05334	国際出願日 (日.月.年) 25.04.2003	優先日 (日.月.年) 25.04.2002
国際特許分類(IPC) Int. Cl <sup>7</sup> H01L29/78 H01L21/336		
出願人(氏名又は名称) サンケン電気株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。

(PCT規則70.16及びPCT実施細則第607号参照)

この附属書類は、全部で 5 ページである。

3. この国際予備審査報告は、次の内容を含む。

I ☒ 国際予備審査報告の基礎II ☐ 優先権III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成IV ☐ 発明の単一性の欠如V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明VI ☐ ある種の引用文献VII ☐ 国際出願の不備VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 22.07.2003	国際予備審査報告を作成した日 27.01.2004	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員)  河 口 雅 英	4M 8421
電話番号 03-3581-1101 内線 3462		

様式PCT/IPEA/409(表紙)(1998年7月)

BEST AVAILABLE COPY

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-12 ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 1, 3-8 項、 20.10.2003 付の書簡と共に提出されたもの

☒ 図面 第 1-3 ~~ページ~~/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出された磁気ディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-8	有
	請求の範囲		無
進歩性(IS)	請求の範囲		有
	請求の範囲	1-8	無
産業上の利用可能性(IA)	請求の範囲	1-8	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

文献1: US 5512769 A (Matsushita Electronics Corporation) 1996.04.30, 第4欄第20行-第11欄第56行, 第1-6図  
 文献4: US 4866495 A (International Rectifier Corporation) 1989.09.12, 第3欄第38行-第11欄第4行, 第1-13図  
 文献5: US 5686754 A (International Rectifier Corporation) 1997.11.11, 第2欄第44行-第4欄第63行, 第1-3図  
 文献6: US 5801431 A (International Rectifier Corporation) 1998.09.01, 第2欄第53行-第6欄第43行, 第1-6図

1. 請求の範囲第1項乃至第7項に係る発明について

文献1第6図及びその説明箇所には、第1導電型の第1の半導体領域(21)と、前記第1の半導体領域(21)上に形成された第2導電型の第2の半導体領域(23)と、前記第2の半導体領域(23)の所定の表面領域に形成された第1導電型の第3の半導体領域(27, 32)と、前記第3の半導体領域(27, 32)の表面領域に形成され、該第3の半導体領域(27, 32)よりも高い不純物濃度を有する第1導電型の第4の半導体領域(34)と、前記第3の半導体領域(27, 32)を前記第2の半導体領域(23)を介して包囲するように前記第2の半導体領域(23)の表面領域に形成された第5の半導体領域(16)とを備えた半導体素子であって、前記第3の半導体領域(27, 32)は、前記第4の半導体領域(34)を包囲する中央部(27)と、該中央部(27)を隣接して包囲する周縁部(32)とを有し、前記第3の半導体領域(27, 32)の前記中央部(27)は、前記第2の半導体領域(23)の表面からの深さが前記周縁部(32)のものよりも深く形成されており、前記中央部(27)の直下に配置された前記第2の半導体領域(23)は、前記周縁部(32)の真下に配置された前記第2の半導体領域(23)よりも薄い厚さを備えた半導体素子が記載されている。

そして、高耐圧半導体装置において高電位差を伴った領域間にリサーフ構造を形成することは、例えば文献6第1欄第18行から第53行までの記載にみられるように周知の技術であり、文献1第6図及びその説明箇所記載の発明において、高電位差を伴う前記第1の半導体領域(21)と前記第2の半導体領域(23)と前記第3の半導体領域(27, 32)との間にリサーフ構造を形成することは、例えば文献6にみられるような周知技術から、当業者には自明な事項である。

また、文献1には明記されていないが、文献1第6図及びその説明箇所記載の発明において、請求の範囲第2項に係る発明のように、前記第4の半導体領域(34)上にドレイン電極が、前記第5の半導体領域(16)上にソース電極をそれぞれ形成することは、当然に採用される事項である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

## 第 V 欄の続き

さらに、文献1第6図及びその説明箇所記載の発明において、請求の範囲第3項—第6項に係る発明のような構成とすることが可能であることは、例えば文献4—6にみられるような周知技術から、当業者には自明な事項である。

そして、文献1には明記されていないが、文献1第6図及びその説明箇所記載の発明において、請求の範囲第7項に係る発明のように、前記中央部(27)の真下に配置された前記第2の半導体領域(23)の電荷量が、前記周縁部(32)の真下の該第2の半導体領域(23)の電荷量よりも少ないことは、その構成からみて明らかである。

## 2. 請求の範囲第8項に係る発明について

文献1第6図及びその説明箇所には、第1導電型の第1の半導体領域(21)を構成する半導体基板上に第2導電型の第2の半導体領域(23)を形成する工程と、前記第2の半導体領域(23)の表面領域に、それぞれ深さが異なる中央部(27)と周縁部(32)とを備える第1導電型の第3の半導体領域(27, 32)を形成する工程であって、前記中央部(27)を前記第2の半導体領域(23)の所定の表面領域に形成し、前記周縁部(32)を、該中央部(27)に当接するとともに該中央部(27)を包囲するように該中央部(27)の深さよりも浅い深さで該第2の半導体領域(23)の表面領域に形成する工程と、前記第3の半導体領域(27, 32)が備える中央部(27)の表面領域に該第3の半導体領域(27, 32)よりも高い不純物濃度を有する第1導電型の第4の半導体領域(34)を形成する工程とを含んでいる半導体素子の製造方法が記載されている。

そして、高耐圧半導体装置において高電位差を伴った領域間にリサーチ構造を形成することは、例えば文献6第1欄第18行から第53行までの記載にみられるように周知の技術であり、文献1第6図及びその説明箇所記載の発明において、高電位差を伴う前記第1の半導体領域(21)と前記第2の半導体領域(23)と前記第3の半導体領域(27, 32)とがリサーチ構造を構成するように形成することは、例えば文献6にみられるような周知技術から、当業者には自明な事項である。



請求の範囲

1. (補正後) 第1導電型の第1の半導体領域(2)と、前記第1の半導体領域(2)上に形成された第2導電型の第2の半導体領域(3)と、前記第2の半導体領域(3)の所定の表面領域に形成された第1導電型の第3の半導体領域(6)と、前記第3の半導体領域(6)の表面領域に形成され、該第3の半導体領域(6)よりも高い不純物濃度を有する第1導電型の第4の半導体領域(7)と、前記第3の半導体領域(6)を前記第2の半導体領域(3)を介して包囲するように前記第2の半導体領域(3)の表面領域に形成された第5の半導体領域(8)とを備え、前記第1の半導体領域(2)と前記第2の半導体領域(3)と前記第3の半導体領域(6)とによってリサーフ構造が形成される半導体素子であって、

前記第3の半導体領域(6)は、前記第4の半導体領域を包囲する中央部(6a)と、該中央部(6a)を隣接して包囲する周縁部(6b)とを有し、  
15 前記リサーフ構造を形成する前記第3の半導体領域(6)の前記中央部(6a)は、前記第2の半導体領域(3)の表面からの深さが前記周縁部(6b)のものよりも深く形成されており、

前記中央部(6a)の直下に配置された前記第2の半導体領域(3)は、前記周縁部(6b)の真下に配置された前記第2の半導体領域(3)よりも薄い厚さを備える、ことを特徴とする半導体素子。  
20

2. 前記第4の半導体領域(7)上に形成されたドレイン電極(12)と、前記第5の半導体領域(8)上に形成されたソース電極(13)と、前記第3の半導体領域(6)と前記第5の半導体領域との間の前記第2の半導体領域(3)上を被覆するゲート絶縁膜(10)と、前記ゲート絶縁膜(10)上に形成されたゲート電極(11)とをさらに備えることを特徴とする請求項1に記載の半導体素子。  
25

3. (補正後) 前記第2の半導体領域(3)の外周縁に形成された第1導電型の分離領域(4)と、前記分離領域(4)と接するように前記第2の半導体領域(3)の表

面領域に形成された第6の半導体領域(5)とをさらに備え、前記第6の半導体領域(5)の真下に存在する前記第2の半導体領域(3)は、前記周縁部(6b)の真下に存在する該第2の半導体領域(3)と等しい厚さを有する、ことを特徴とする請求項1に記載の半導体素子。

5      4. (補正後) 前記第4の半導体領域(7)は、前記第3の半導体領域(6)の表面の中央に形成され、前記中央部(6a)は、前記第4の半導体領域の真下に形成されている、ことを特徴とする請求項1に記載の半導体素子。

5. (補正後) 前記第2の半導体領域(3)の外周縁に形成された第1導電型の分離領域(4)上に形成されるグランド電極(15)をさらに備え、

10      所定レベルの電圧が前記第5の半導体領域(8)上に形成されたゲート電極(11)と前記第4の半導体領域(7)上に形成されたドレイン電極(12)との間に印加されるとともに、前記グランド電極(15)が接地されることにより、前記第2の半導体領域(3)と前記第3の半導体領域(6)とが実質的に空乏化する、ことを特徴とする請求項4に記載の半導体素子。

15      6. (補正後) 前記第4の半導体領域(7)に印加される電圧の電圧レベルがグランドレベルの場合に、該第4の半導体領域(7)近傍の電荷バランスが保たれるような電荷量を該中央部(6a)直下の前記第2の半導体領域(3)が備え

、  
20      前記第4の半導体領域(7)に印加される電圧の電圧レベルがグランドレベルに対してプラスの高レベルの場合に、該第4の半導体領域(7)近傍の電荷バランスが保たれるような電荷量を該周縁部(6b)直下の前記第2の半導体領域(3)が備える、ことを特徴とする請求項1に記載の半導体素子。

7. (補正後) 前記中央部(6a)の真下に配置された前記第2の半導体領域(3)の電荷量が該周縁部(6b)の真下の該第2の半導体領域(3)の電荷量  
25      よりも少ない、ことを特徴とする請求項1に記載の半導体素子。

8. (追加) 第1導電型の第1の半導体領域を構成する半導体基板(2)上に

第2導電型の第2の半導体領域(3)を形成する工程と、

前記第2の半導体領域(3)の表面領域に、それぞれ深さが異なる中央部(6a)と周縁部(6b)とを備える第1導電型の第3の半導体領域(6)を、前記第1の半導体領域(2)と前記第2の半導体領域(3)と前記第3の半導体領域

5 (6)とがリサーフ構造を構成するよう形成する工程であって、前記中央部(6a)を前記第2の半導体領域(3)の所定の表面領域に形成し、前記周縁部(6b)を、該中央部(6a)に当接するとともに

該中央部（6 a）を包囲するように該中央部（6 a）の深さよりも浅い深さで該第2の半導体領域（3）の表面領域に形成する工程と、

前記第3の半導体領域（6）が備える中央部（6 a）の表面領域に該第3の半導体領域（6）よりも不純物濃度が高い第1導電型の第4の半導体領域（7）を

5 形成する工程と、

を含んでいることを特徴とする半導体素子の製造方法。